

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

LIQUID CRYSTAL DISPLAY AND ITS PRODUCTION

Patent Number: JP7168172
Publication date: 1995-07-04
Inventor(s): HOSHI JUNICHI
Applicant(s): CANON INC
Requested Patent: ☐ JP7168172
Application Number: JP19930342820 19931216
Priority Number(s):
IPC Classification: G02F1/1333
EC Classification:
Equivalents:

Abstract

PURPOSE:To fully satisfy the electrical characteristic in the peripheral circuit and the dynamic characteristic in the picture display part especially in a small-sized and high-definition display by making the embedded insulating part corresponding to the picture display part thinner than the other embedded parts.

CONSTITUTION:A counter substrate 2 and an element substrate 1 are stuck together with a sealing material 9 and divided into respective liq. crystal cells 10. A liq. crystal 5 is injected and sealed, and only the region corresponding to a picture display part 6 is etched from the rear of the substrate 1. The etching is continued until the rear of a thermally oxidized film as an embedded insulating film is exposed. An almost transparent thin film 7 formed on the thermally oxidized film in the substrate 1 and having a PMOSFET, etc., is formed in the region of the display part 6. The rear of the thermally oxidized film of the display part 6 is etched off by buffered aq. hydrofluoric acid, etc., having selectivity to silicon, and the film thickness is reduced to a specified thickness to satisfy the dynamic characteristic.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-168172

(43) 公開日 平成7年(1995)7月4日

(51) Int.Cl.⁶

G 0 2 F 1/1333

識別記号

5 0 5

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数10 F D (全 6 頁)

(21) 出願番号 特願平5-342820

(22) 出願日 平成5年(1993)12月16日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 星 淳一

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

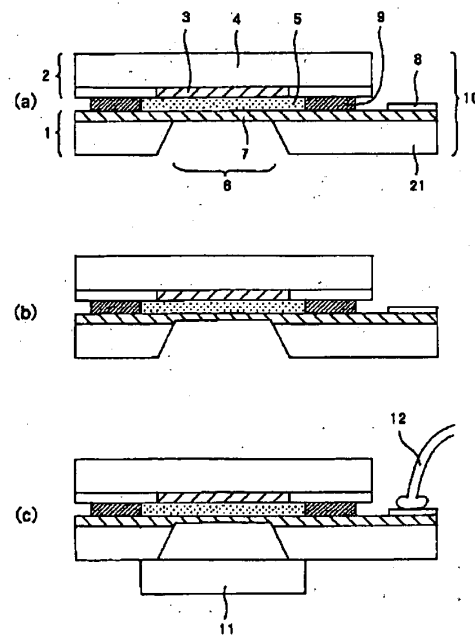
(74) 代理人 弁理士 豊田 善雄 (外1名)

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【目的】 SOI基板の画像表示部に対応する部分が除去された素子基板を用いて構成される小型の液晶表示装置において、埋込絶縁膜に要求される電気的特性並びに力学的特性を十分に満足せしめることにある。

【構成】 画像表示部6に対応する部分の埋込絶縁膜をエッチングし、他の周辺回路部のそれよりも薄く形成したことを特徴とする。



【特許請求の範囲】

【請求項1】 半導体基板上の埋込絶縁膜上に電気的素子を有し、該半導体基体の画像表示部に対応する部分を除去した薄膜面が形成されている素子基板を用いた液晶表示装置において、上記画像表示部に対応する部分の埋込絶縁膜の厚さが、これ以外の部分の埋込絶縁膜の厚さよりも薄いことを特徴とする液晶表示装置。

【請求項2】 前記半導体基体が、単結晶シリコンであることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記埋込絶縁膜が、シリコン化合物であることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 請求項1記載の液晶表示装置において、半導体基体が単結晶シリコンであり、埋込絶縁膜が該基体の熱酸化膜であり、且つ画像表示部に対応する部分の埋込絶縁膜の厚さが3000Å~4000Å、これ以外の部分の埋込絶縁膜の厚さが6500Å~20,000Åであることを特徴とする液晶表示装置。

【請求項5】 請求項1~4いずれかに記載の液晶表示装置を製造するに際し、前記画像表示部に対応する部分の埋込絶縁膜を、エッチングにより薄くすることを特徴とする液晶表示装置の製造方法。

【請求項6】 前記エッチングは化学的エッチングであることを特徴とする請求項5記載の液晶表示装置の製造方法。

【請求項7】 前記エッチングは、選択性を有するエッチング液を用いて行われることを特徴とする請求項5記載の液晶表示装置の製造方法。

【請求項8】 前記エッチングは、フッ酸を成分とするエッチング液を用いて行われることを特徴とする請求項5記載の液晶表示装置の製造方法。

【請求項9】 前記エッチングは、エッチングマスクを形成した後に行う選択的エッチングであることを特徴とする請求項5記載の液晶表示装置の製造方法。

【請求項10】 前記エッチングマスクは、コーナ部がなめらかな曲線を有することを特徴とする請求項9に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶画像表示装置に関し、特に小型のフラットパネルディスプレイやプロジェクションテレビ、ビデオカメラのビューファインダー等に用いられる液晶画像表示装置に関する。

【0002】

【従来の技術】 小型、高精細な液晶表示装置をシリコンオンインシュレータ(SOI)形の基板を用いて作成する方法は、例えば特開平3-194115号公報に記載されている。

【0003】 即ち、図8に示すように、埋込シリコン酸化膜を有する単結晶シリコンSOI基板1上に、従来の

LSI技術によって、大略透明な薄膜を積層し、アクティブマトリックス及び周辺回路を形成する。次いで対向基板2となるカラーフィルタ3を有するガラス基板4と貼合せ、カッティング、液晶5の注入を行い、液晶セルを組立てる。次いで画像表示部となるべき領域6のシリコン基板裏面側を、高い選択性を有する異方性アルカリエッチング液等によって、前記埋込酸化膜が露出するまでエッチングを行い、大略透明である前記アクティブマトリックスが乗った薄膜7を形成する。

10 【0004】 その後、通常の電気的実装を行い、前記半導体基板上に形成されたボンディングパッド8から外部に配線を引出すことによって液晶表示装置が完成する。

【0005】

【発明が解決しようとする課題】 しかし、従来例に於ては、前記周辺回路が存在する前記基板裏面側がエッチング除去されない領域の埋込シリコン酸化膜の膜厚と、画像表示部となるべき前記エッチング除去された領域6のそれとが等しいために、周辺回路部の電気的特性を満足し、且つ画像表示部における均一な液晶セルギャップを実現することは非常に困難である。この点について以下順に説明を行う。

【0006】 一般に前記電気的素子には、プロセスが短かく高収率であり、信頼性的に安定なPMOSFETが主として用いられる。また、前記周辺回路の一部である前記アクティブマトリックスを駆動するPMOSシフトレジスタには、消費電力を抑える目的でブートストラップ回路等が用いられる。このブートストラップ回路は電圧の上昇を伴うため、PMOSFETには高い耐圧(〜20V)が必要となる。また、リーク電流を抑えるために、前記PMOSのサブストレート端子に常時正のバイアス電圧を印加しておく必要がある。

【0007】 ただし、前記SOI基板上的PMOSが形成される活性層(単結晶シリコン層)の厚さは薄いため、空乏化し易く、正しいバックゲートバイアスを印加するためには、前記バイアス電圧の印加だけでは不十分である。このため、前記埋込酸化膜を介して存在するシリコン基板裏面側にも、実効的にバックゲートバイアスとして働く電圧を印加する必要がある。従って、この実効的なバックゲートバイアス(V_{be})は、印加電圧以外にも埋込酸化膜の膜厚(容量)に依存することになる。

【0008】 一方、バックゲートバイアスを印加することによって、前記PMOSのスレッショルド電圧($|V_{th}|$)は上昇する。この $|V_{th}|$ の上昇は素子特性を悪化させ、最悪の場合、素子に要求される性能を満足できなくなる恐れが有る。

【0009】 一般にMOS構造の反転電圧 V_i は

3

$$V_T = \Phi_{ms} - \frac{Q_{ss}}{C_o} + 2\phi_F - \frac{Q_s}{C_o}$$

Φ_{ms} : 仕事関数差
 Q_{ss} : 固定電荷量
 C_o : 酸化膜容量
 ϕ_F : フェルミ単位
 Q_s : 空乏層電荷量

と表わされる。

【0010】前記空乏層電荷量 (Q_s) は前記 V_{ss} の $1/2$ 乗にほぼ比例するため、 V_{ss} が小さければ $|V_{T1}|$ の上昇が小さく抑えられることが判る。

【0011】従って、いかに小さな V_{ss} で前記 PMOS のリーク電流を抑えられるかが、カギとなる。

【0012】一方、透明である画像表示部に存在する薄膜には、前記電気的特性を満足する以前に、ある力学的特性を満足する必要がある。即ち、液晶セルギャップを均一に保持するためには、画像表示部に存在する薄膜の張力は、ある一定値以上である必要があると言うことである。一般に 1 cm 角程度の液晶セルギャップを $\pm 0.2\text{ }\mu\text{m}$ の精度に保つために必要な張力は、大略 $2 \times 10^9\text{ dyne/cm}^2$ 程度であり、これは厚さ $6000\text{ }\text{\AA}$ 程度の LP (Low-Pressure) - SiN で実現することができる。

【0013】ただし、前記薄膜を構成する他のコンプレッシブな膜の膜厚が厚い場合には、前記 LP-SiN の張力が減ぜられるため、均一な液晶セルギャップが得られなくなる。一般に、LP-SiN は膜厚が $6000\text{ }\text{\AA}$ を超えると急にクラックが増えるため、この上に半導体素子を形成する事が困難となる。この時に許されるコンプレッシブである埋込酸化膜の膜厚の限界は最大 $4000\text{ }\text{\AA}$ 程度である。従って、これらの値が前記薄膜構成の一応の目安となる。

【0014】また、前記薄膜上に存在する前記アクティブマトリックスを形成する PMOS スイッチング Tr に要求されるスペックは、リーク特性は前記周辺回路の PMOS と同様であるが、耐圧に関しては電圧の上昇といった問題が存在しないため、それほどではない。従って、前記埋込酸化膜厚に対する制約は小さい (薄くてもよい)。

【0015】しかしながら、前記画像表示部の最大 $4000\text{ }\text{\AA}$ 程度の埋込酸化膜では、消費電力を抑えるために前記周辺回路部における埋込酸化膜に必要な高い耐圧 ($\sim 20\text{ V}$) を実現することが困難であるという問題があった。

【0016】本発明の目的は、上述の問題点に鑑み、特に小型、高精細な液晶表示装置において、先述したような周辺回路部における電気的特性及び画像表示部における力学的特性を十分に満足せしめることにある。

【0017】

【課題を解決するための手段及び作用】上記目的を達成

4

すべく成された本発明は、

【0018】半導体基体上の埋込絶縁膜上に電気的素子を有し、該半導体基体の画像表示部に対応する部分を除去した薄膜面部が形成されている素子基板を用いた液晶表示装置において、

【0019】上記画像表示部に対応する部分の埋込絶縁膜の厚さが、これ以外の部分の埋込絶縁膜の厚さよりも薄いことを特徴とする液晶表示装置であり、

【0020】また、上記本発明の液晶表示装置を製造するに際し、前記画像表示部に対応する部分の埋込絶縁膜を、エッチングにより薄くすることを特徴とする液晶表示装置の製造方法である。

【0021】本発明に用いられる半導体基体としては、単結晶シリコン基体、多結晶シリコン基体、アモルファスシリコン基体、化合物半導体基体等が適用でき、中でも単結晶シリコン基体が好ましい。

【0022】また、上記半導体基体上の埋込絶縁膜としては、基体材料の酸化膜、窒化膜、窒化酸化膜等を挙げることができる。

【0023】本発明によれば、画像表示部に対応する部分の埋込絶縁膜の厚さを、これ以外の周辺回路部に相当する部分の埋込絶縁膜よりも薄くすることで、画像表示部に要求される力学的特性と、周辺回路部に要求される電気的特性の両立をさせるものである。この点について、具体例を挙げて説明する。

【0024】図3は単結晶シリコン基体上の埋込酸化膜の膜厚と、この上に存在するスイッチング Tr のソースドレイン耐圧の関係を示している。例えば、耐圧 10 V 程度必要な画像表示部では、埋込酸化膜の膜厚を $3000\text{ }\text{\AA}$ 以上とし、耐圧 20 V 程度必要な周辺回路部では、 $6500\text{ }\text{\AA}$ 以上とすれば良い。但し、この膜厚が厚すぎると前記埋込酸化膜を形成するのに要する時間が莫大となるため現実的でなくなる。従って、最大でも $20,000\text{ }\text{\AA}$ 程度とするのが好ましい。

【0025】図4は上記埋込酸化膜の膜厚と、内部応力 (残留応力) の関係を示している。例えば、画像表示部が 1 cm 角程度の液晶セルギャップを $\pm 0.2\text{ }\mu\text{m}$ の精度に保つためには、大略 $2 \times 10^9\text{ dyne/cm}^2$ 程度の張力が必要であるため、膜厚を $4000\text{ }\text{\AA}$ 以下とすれば良い。

【0026】即ち、上記の例で示した電気的特性及び力学的特性を満足させるためには、画像表示部の埋込酸化膜の膜厚を $3000\text{ }\text{\AA} \sim 4000\text{ }\text{\AA}$ 、周辺回路部の埋込酸化膜の膜厚を $6500\text{ }\text{\AA} \sim 20,000\text{ }\text{\AA}$ の範囲に設定すれば良いことになる。

【0027】本発明において、上記のように各領域で異なる膜厚を有する埋込絶縁膜の形成方法は特に限定されるものではないが、エッチングによる方法が前記 PMOS の電気特性の劣化が全くなく、前記スイッチング Tr の電気特性を劣化させる度合が少なく、かつ安価に行な

えるので好ましい。エッチング方法は、液晶表示品質を低下させない低ダメージなエッチング方法であれば特に限定されず、例えば化学的エッチングが好ましく適用される。

【0028】エッチングによる場合には、周辺回路の領域の埋込絶縁膜を厚くするため、予め前記半導体基体上の埋込絶縁膜の膜厚を厚く形成し、該半導体基体の画像表示部に対応する部分を裏面からエッチング除去した後、この部分の埋込絶縁膜をエッチングして膜厚を減少させればよい。

【0029】

【実施例】以下、実施例により本発明を具体的に説明するが、本発明はこれらの実施例に限定されるものではない。

【0030】実施例1

図2に本実施例で用いた素子基板を示す。これは厚さ625 μm 程度の単結晶シリコン基体21上に、厚さ約8000Åの熱酸化膜22を有し、さらにこの上に不純物濃度 $2 \times 10^{15} \text{ cm}^{-3}$ 、厚さ0.5 μm 程度のN型エピタキシャル層23を有する。埋込絶縁膜としての熱酸化膜22は、図3から判るように耐圧20Vを満足する膜厚を有している。また、N型エピタキシャル層23上には、公知のLSI技術等を用いて、液晶の駆動に必要なゲート膜厚500ÅのPMOSFET、画素電極及び配向膜（いずれも不図示）が形成されている。

【0031】次に、本実施例の液晶表示装置の製造方法を図1の製造工程図を用いて説明する。

【0032】まず、ガラス基板4上にカラーフィルタ3及び不図示の対向電極、配向膜を形成し対向基板2とした。この対向基板2と先述の素子基板1とをシール材9で貼合せ、次いでカッティングを行って各々の液晶セルに分割した。続いて、液晶5を注入し、封口材で封口を行った後に、公知の異方性アルカリエッチング液によって、画像表示部6に相当する領域のみ、基板1の裏面からエッチングを行う。このエッチングは埋込絶縁膜である熱酸化膜22の裏面が露出するまで行なわれ、熱酸化膜上に前記PMOSFET等を有する大略透明な薄膜7が画像表示部6の領域に形成される。これにより、透明化された画像表示部を有する液晶セル10が出来上る（図1(a)参照）。

【0033】次いで、シリコンに対する選択性を有するバッファードフッ酸水溶液等によって、画像表示部の前記熱酸化膜22の裏面側をエッチングし、この膜厚を4000Åまで減少させる（図1(b)参照）。この膜厚は、図4に示すように、薄膜7の残留応力を大略 $2 \times 10^9 \text{ dyne/cm}^2$ の引張応力に保つ値である。また、前記膜厚は画像表示部6に存在するスイッチングTrに必要な耐圧10Vを満足する値である（図3参照）。

【0034】その後、画像表示部6の開開口部をカバーガラス11で覆い、ボンディングパッド8に引出電極12を

設け、表示可能な液晶パネルを得た（図1(c)参照）。尚、本実施例で作製した液晶パネルの画像表示部6の大きさは14mm \times 10mmである。このようにして得られた液晶表示装置は、消費電力を抑えるためのブートストラップ回路等を素子基板上に形成した場合においても、周辺回路部における電気的特性を十分満足できた。また、画像表示部での液晶セルギャップを $\pm 0.2 \mu\text{m}$ 以下の精度に保つことができ、高精細な画像を表示できた。

10 【0035】実施例2

実施例1において、図1(b)に示した熱酸化膜のエッチングを画像表示部6全面に渡って行なわない以外は、実施例1と同様にして液晶表示装置を作製した。

【0036】実施例1のように、熱酸化膜22のエッチングを、前記素子基板1の単結晶シリコン体21部分をマスクとして行った場合には、図5に示すように、熱酸化膜の端部にアンダーカット51が存在する。一般に膜面の応力は端及びコーナー部に集中するため、アンダーカット51が存在する端部52の力学的強度が低下し、

20 割れ易くなる恐れがある。

【0037】このため本実施例では、図6に示すように、公知のホトリソ技術を用いて耐エッチング性のマスク61を端部に形成し（図6(a)）、次いでエッチングを行う（図6(b)）ことで、上記不具合を解消するものである。

【0038】尚、画像表示領域の端部62からマスク61までの距離は数 μm 程度で良いので、徒らに表示面積を消費することはない。

【0039】また、裏面から見た画像表示部を表わしている図7に示すように、前述の通り画像表示部6の薄膜面のコーナー部71で応力が集中し易いことから、前記エッチングマスク61のコーナー部パターン72を連続した滑らかな曲線、例えば円形にすることもできる。これにより、前述の応力集中による薄膜の破壊と言った現象は緩和される。

【0040】

【発明の効果】以上説明したように、本発明によれば、特に小型、高精細な液晶表示装置の周辺回路部と表示部の埋込絶縁膜の膜厚を各々最適化することが可能であるので、前記両領域に要求される電気的特性並びに力学的特性を十分に満足することができる。

【図面の簡単な説明】

【図1】実施例1にて示す本発明の液晶表示装置の製造方法を説明するための概略断面図である。

【図2】実施例1で用いた素子基板を示す図である。

【図3】埋込絶縁膜の膜厚-耐圧特性の一例を示す図である。

【図4】埋込絶縁膜の膜厚-応力特性の一例を示す図である。

50 【図5】実施例1の液晶表示装置における表示部の断面

図である。

【図6】実施例2にて示す本発明の液晶表示装置の製造過程におけるエッチング方法を説明するための概略断面図である。

【図7】実施例2にて示す本発明の液晶表示装置の製造過程におけるエッチング方法を説明するための概略図である。

【図8】従来例の断面図である。

【符号の説明】

1 素子基板

2 対向基板

3 カラーフィルタ

4 ガラス基板

5 液晶

6 画像表示部

7 薄膜

8 ボンディングパッド

9 シール材

10 液晶セル

11 カバーガラス

12 引出電極

21 単結晶シリコン基板

22 熱酸化膜

23 エピタキシャル層

10 51 アンダーカット

52 端部

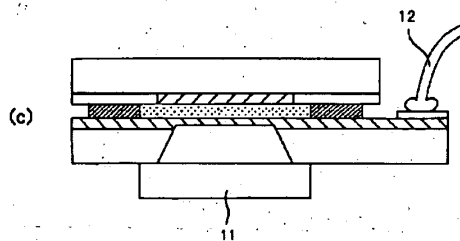
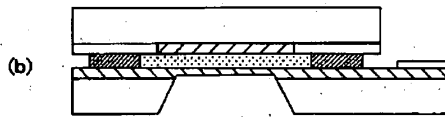
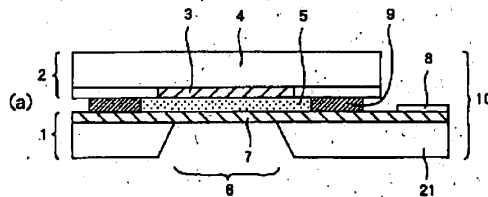
61 マスク

62 端部

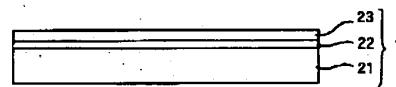
71 コーナー部

72 マスクコーナー部パターン

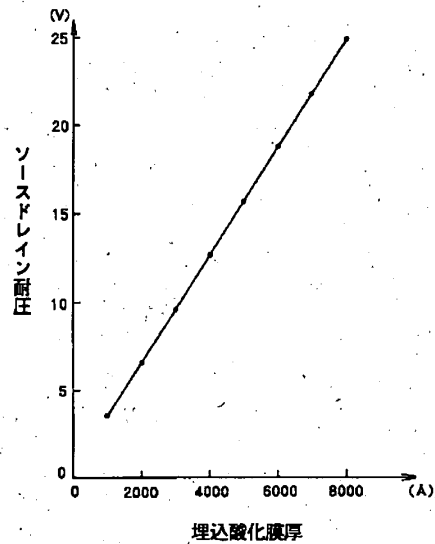
【図1】



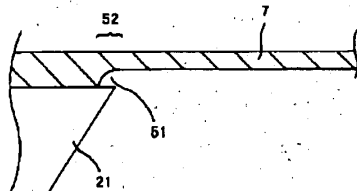
【図2】



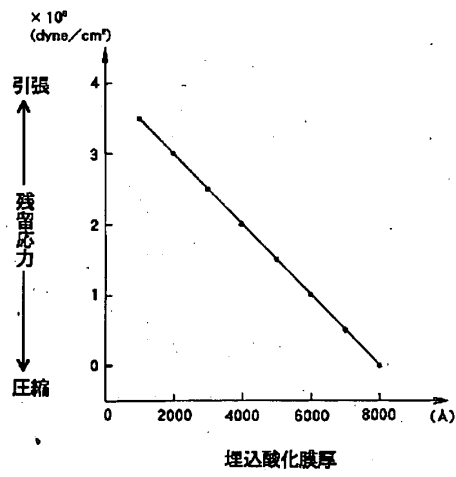
【図3】



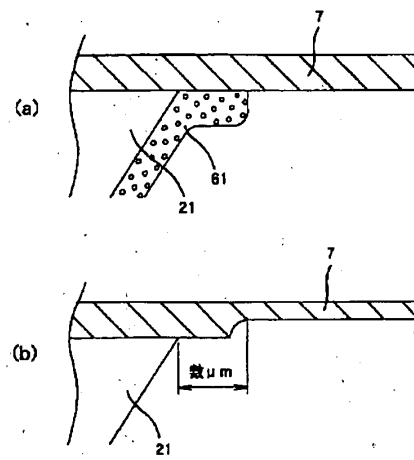
【図5】



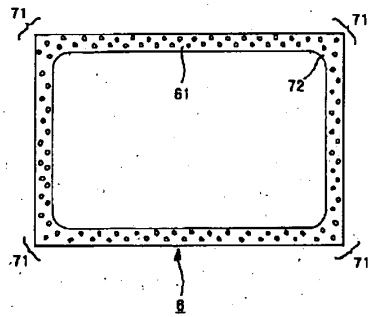
【図4】



【図6】



【図7】



【図8】

